

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08008344 A**(43) Date of publication of application: **12.01.96**

(51) Int. Cl.

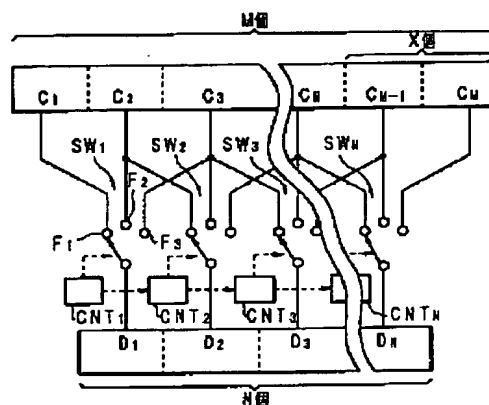
H01L 21/82
G11C 29/00(21) Application number: **06139757**(71) Applicant: **FUJITSU LTD**(22) Date of filing: **22.06.94**(72) Inventor: **OKAJIMA YOSHINORI**(54) **REDUNDANT CIRCUIT**

(57) Abstract:

PURPOSE: To repair more than one circuit elements by connecting one signal I/O part selectively with $X+1$ contiguous circuit elements through $X+1$ contacts each of N switch elements disposed between M circuit elements of identical circuitry larger, in number, by X than N signal I/O parts.

CONSTITUTION: N switch elements SW_1 - SW_N , each having $X+1$ contacts F_1 - F_X , F_{X+1} , are disposed between M circuit elements C_1 - C_M of identical circuitry larger, in number, by X than N signal I/O parts D_1 - D_N of identical circuitry. $X+1$ contiguous circuit elements C_1 - C_X is connected selectively with one signal I/O part D_1 through $X+1$ contacts of each switch element SW_1 - SW_N . When a single defect is found in a circuit element, the circuit element can be repaired by shifting one element to the right for each defect. In the case of continuous defect the circuit element can be repaired by shifting two elements to the right for each defect.

COPYRIGHT: (C)1996,JPO

但し、 $X=2$ の例

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-8344

(43) 公開日 平成8年(1996)1月12日

(51) IntCl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/82

G 1 1 C 29/00

3 0 1 B 9459-5L

H 0 1 L 21/ 82

R

審査請求 未請求 請求項の数 2 O L (全 12 頁)

(21) 出願番号 特願平6-139757

(22) 出願日 平成6年(1994)6月22日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 岡島 義憲

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 有我 軍一郎

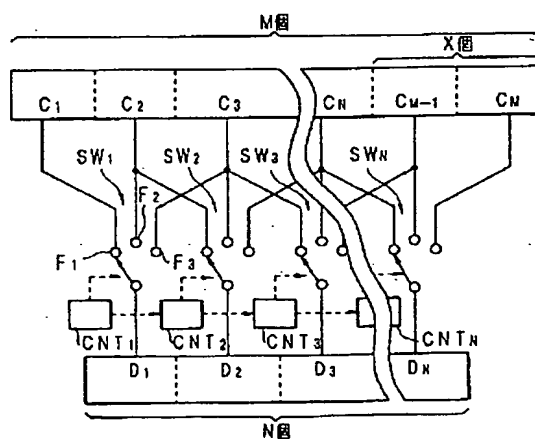
(54) 【発明の名称】 冗長回路

(57) 【要約】

【目的】 少なくとも2個以上の回路要素を救済できるようにして実用上十分な冗長回路を提供すること。

【構成】 同一構成のN個の信号入出力部と、該N個の信号入出力部よりもX個だけ多いM個の同一構成の回路要素との間に、各々がX+1個の接点を有するN個のスイッチ要素を設け、各スイッチ要素のX+1個の接点を介して、隣り合うX+1個の回路要素と一つの信号入出力部との間を選択的に接続するように構成する。

本発明の原理図



但し、X=2の例

C1~CN: 回路要素
CNT1~CNTN: 制御手段
D1~DN: 信号入出力部
F1, ..., FX, FX+1: 接点
SW1~SWN: スイッチ要素

726757 21/82

【特許請求の範囲】

【請求項 1】同一構成の N 個の信号入出力部 ($D_1 \sim D_N$) と、

該 N 個の信号入出力部 ($D_1 \sim D_N$) よりも X 個だけ多い M 個の同一構成の回路要素 ($C_1 \sim C_M$) との間に、各々が $X+1$ 個の接点 (F_1, \dots, F_X, F_{X+1}) を有する N 個のスイッチ要素 ($SW_1 \sim SW_N$) を設け、各スイッチ要素 ($SW_1 \sim SW_N$) の $X+1$ 個の接点を介して、隣り合う $X+1$ 個の回路要素 ($C_i, \dots, C_{i+X-1}, C_{i+X}$; i は $1, 2, \dots, N$) と一つの信号入出力部 (D_i) との間を選択的に接続するように構成したことを特徴とする冗長回路。

【請求項 2】各スイッチ要素 ($SW_1 \sim SW_N$) の動作をコントロールする N 個の制御手段 ($CNT_1 \sim CNT_N$) を備え、

各制御手段 (CNT_i) は、所定の順番で並ぶ 1 番目の回路要素 (C_1) から i 番目の回路要素 (C_i) までのトータルの欠陥発生数に基づいて、自己の担当するスイッチ要素 (SW_i) の接点の切換数を決定することを特徴とする請求項 1 記載の冗長回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、欠陥の発生した回路要素を該回路要素と同一構成の冗長部で置換して欠陥を救済する冗長回路に関する。一般に、半導体メモリのような同一構成の回路要素を多数含む半導体集積回路においては、あらかじめ冗長用の回路要素をいくつか作り込んでおき、欠陥の発生した回路要素と冗長部とを置換することが行われる。

【0002】

【従来の技術】

「第 1 の従来技術」図 17 は冗長回路の従来例であり、半導体メモリへの適用例である。この図において、1 はロウ (行) アドレス信号を取り込むロウアドレスバッファ、2 はロウアドレス信号をデコードしてメモリセルアレイ 3 のロウを選択するロウデコーダ、4 はカラム

(列) アドレス信号を取り込むカラムアドレスバッファ、5 はカラムアドレス信号をデコードしてメモリセルアレイ 3 のカラムを選択するカラムデコーダ、6 はロウドライバ、7 はカラムスイッチである。ここで、8 は冗長ロウデコーダ、9 は冗長カラムデコーダ、10 は冗長ロウ、11 は冗長カラムであり、これらの冗長ロウデコーダ 8、冗長カラムデコーダ 9、冗長ロウ 10 及び冗長カラム 11 は、一体として冗長回路 12 を構成している。

【0003】このような構成において、カラムアドレスバッファ 4 の出力は、カラムデコーダ 5 と冗長カラムデコーダ 9 に入力されている。入力されたアドレスが冗長カラムデコーダ 9 にプログラムされている欠陥カラムアドレスに一致すると、冗長カラム 11 が選択され、同時

に、所定の信号 (NED) によってカラムデコーダ 5 が非活性化されて欠陥カラムの置換が行われる。ロウ救済時も同様に、冗長ロウデコーダ 8 に欠陥ロウのアドレスがプログラムされる。

【0004】ところで、かかる従来技術では、冗長ロウデコーダ 8 及び冗長カラムデコーダ 9 内のヒューズを切断して欠陥アドレスをプログラムしているが、大容量化が進むにつれてヒューズの切断本数が増えるという不都合があり、また、大容量化に伴って冗長ロウデコーダ 8 や冗長カラムデコーダ 9 の構成が複雑化し、常用のロウデコーダ 2 やカラムデコーダ 5 との速度差が大きくなるという不都合がある。

「第 2 の従来技術」こうした不都合を解消する従来技術として、例えば、「大容量 RAM 用リダンダシー回路の検討」(1989 年電子情報通信学会秋季全国大会草稿集 C-144 参照) が知られている。

【0005】この技術は、各アドレスに応じて選択されるカラム (又はロウ; 以下カラムで代表) を隣に 1 つシフトすることによって欠陥を救済しようというものである。図 18 において、13 はカラムデコーダ、14 はカラムスイッチであり、 n 個のカラムデコーダ出力 $D_1 \sim D_n$ に対して、 n 個のスイッチ要素 $15_1 \sim 15_n$ と、 $n+1$ 本のカラム $C_1 \sim C_{n+1}$ とが設けられている。

【0006】欠陥がない場合には、 $D_1 \sim D_n$ で $C_1 \sim C_n$ を選択するように各スイッチ要素 $15_1 \sim 15_n$ の接点を左に倒しておくが、例えば、カラム C_3 に欠陥が発生した場合には、 $D_3 \sim D_n$ で $C_4 \sim C_{n+1}$ を選択するようにスイッチ要素 $15_3 \sim 15_n$ の接点を反対側に切換える。図 19 は、具体的な構成図であり、ヒューズ $16_1 \sim 16_4$ とインバータゲート $17_1 \sim 17_4$ 及びトランスマッションゲート $18_{1a}, 18_{1b}, 18_{1c}, 18_{1d}, 18_{2a}, 18_{2b}, 18_{2c}, 18_{2d}, 18_{3a}, 18_{3b}, 18_{3c}, 18_{3d}, 18_{4a}, 18_{4b}, 18_{4c}, 18_{4d}$ でスイッチ要素を構成した例である。

【0007】直列につながれたヒューズ $16_1 \sim 16_4$ は、その左端が接地電位 V_{SS} に、また、その右端が抵抗 19 を介して +電源 V_{CC} に接続されており、ヒューズ未切断のときのインバータゲート $17_1 \sim 17_4$ の入力には、接地電位 V_{SS} が与えられている。したがって、この構成では、全部のヒューズ $16_1 \sim 16_4$ が未切断である限り、すべてのインバータゲート $17_1 \sim 17_4$ の出力がハイレベルとなるから、 a 側のトランスマッションゲート $18_{1a}, 18_{2a}, 18_{3a}, 18_{4a}$ をオンにして $D_1 \sim D_n$ で $C_1 \sim C_n$ を選択できる。一方、例えば、カラム C_3 に欠陥が発生した場合には、ヒューズ 16_3 を切断する。こうすると、インバータゲート $17_3, 17_4$ の出力がローレベルになり、その結果、トランスマッションゲート $18_{3b}, 18_{3c}, 18_{3d}$ 及び $18_{4b}, 18_{4c}, 18_{4d}$ がオンになって、 $D_3 \sim D_n$ で $C_4 \sim C_{n+1}$ を選択できる。すなわち、欠陥カラム C_3 を冗長カラム C_{n+1} で救済できる。

【0008】

【発明が解決しようとする課題】しかしながら、第 2 の

従来回路にあっては、ヒューズの切断本数を少なくでき、且つ、常用のロウデコーダやカラムデコーダとの速度差を小さくできるという点では有効なものの、各スイッチ要素の接点が2個しかないため、回路要素の救済数が“1”（図18及び図19では1カラム又は1ロウ）と極めて少なく、実用上の観点で改善すべき余地があった。

【0009】

【目的】そこで、本発明は、少なくとも2個以上の回路要素を救済できるようにして実用上十分な冗長回路を提供することを目的とする。

【0010】

【課題を解決するための手段】図1は本発明の原理図である。この図において、 $D_1 \sim D_N$ は信号入出力部（信号の入出力に限らず入力又は出力の何れか一方であってもよい）、 $C_1 \sim C_M$ は回路要素、 $SW_1 \sim SW_N$ はスイッチ要素、 $CNT_1 \sim CNT_N$ は制御手段である。

【0011】信号入出力部 $D_1 \sim D_N$ と回路要素 $C_1 \sim C_M$ は、それぞれ同一の構成を有しているが、回路要素 $C_1 \sim C_M$ の数は、信号入出力部 $D_1 \sim D_N$ の数よりもX個（Xは2以上の数）だけ多い。図1の例はXの数を最低要求数の“2”としたものであり、したがって、この例では、回路要素 $C_1 \sim C_M$ は、 C_{M-1} と C_M の2個の冗長部を含むことになる。

【0012】各スイッチ要素 $SW_1 \sim SW_N$ は、少なくともX+1個の接点（図1の例はX=2であるから3個の接点 $F_1 \sim F_3$ ）を備えており、接点を切替えることによって、隣り合うX+1個の回路要素（ C_i 、……、 C_{i+X-1} 、 C_{i+X} ；iは1、2、……N）と、一つの信号入出力部（ D_i ）との間を選択的に接続するようになっている。

【0013】各制御手段 $CNT_1 \sim CNT_N$ は、自己の担当するスイッチ要素（ SW_i ）の接点の切換数を決定するものであるが、この決定は、所定の順番で並ぶ1番目の回路要素（ C_1 ）からi番目の回路要素（ C_i ）までのトータルの欠陥発生数に基づいて行うのが望ましい。

【0014】

【作用】

（1）欠陥なし

図2は何れの回路要素にも欠陥がない場合の状態図である。この場合、すべてのスイッチ要素 $SW_{i-1} \sim SW_{i+3}$ の接点 F_1 が閉じており、図中太線で示すように、添え字の一致する回路要素と信号入出力部の間が接続されている。すなわち、 C_{i-1} と D_{i-1} の間、 C_i と D_i の間、 C_{i+1} と D_{i+1} の間、 C_{i+2} と D_{i+2} の間、 C_{i+3} と D_{i+3} の間及び C_{i+4} と D_{i+4} の間がそれぞれ接続されている。

（2）単一欠陥

図3は1つの回路要素（例えば C_{i+1} ）に欠陥が発生し

た場合の状態図である。この場合、スイッチ要素 SW_{i-1} 及び SW_i の接点 F_1 が閉じているが、欠陥の発生した回路要素 C_{i+1} と添え字の一致するスイッチ要素 SW_{i+1} 及びその右側のすべてのスイッチ要素 SW_{i+2} 、 SW_{i+3} 、……の接点 F_2 が閉じている。したがって、この場合には、図中太線で示すように、欠陥発生した回路要素 C_{i+1} から右側の回路要素 C_{i+2} 、 C_{i+3} 、 C_{i+4} 、……がそれぞれ接点 F_2 を介して、信号入出力部 D_{i+1} 、 D_{i+2} 、 D_{i+3} 、……に接続されることとなり、結局、回路要素を欠陥の数だけ1つ右にシフトして救済することができる。

（3）連続欠陥

図4は2つの回路要素（例えば C_{i+1} と C_{i+2} ）に連続欠陥が発生した場合の状態図である。この場合、スイッチ要素 SW_{i-1} 及び SW_i の接点 F_1 が閉じているが、欠陥の発生した先頭の回路要素 C_{i+1} と添え字の一致するスイッチ要素 SW_{i+1} 及びその右側のすべてのスイッチ要素 SW_{i+2} 、 SW_{i+3} 、……の接点 F_3 が閉じている。したがって、この場合には、図中太線で示すように、欠陥発生した回路要素 C_{i+1} 及び C_{i+2} から右側の回路要素 C_{i+3} 、 C_{i+4} 、……がそれぞれ接点 F_3 を介して、信号入出力部 D_{i+1} 、 D_{i+2} 、 D_{i+3} 、……に接続されることとなり、結局、回路要素を欠陥の数だけ2つ右にシフトして救済することができる。

【0015】また、各スイッチ要素の接点コントロールは、各スイッチ要素毎に個別に行ってもよいが、図3及び図4からも理解されるように、所定の配列順の1番目の回路要素からのトータルの欠陥数で接点の位置が決まるから、欠陥の数を各制御手段に対して順次に伝達するのが好ましい。欠陥の救済数は、各スイッチ要素の接点数（及び冗長部の数）に依存する。例えば、図1～図4のように接点数を“3”（冗長部も同数）にすれば、救済可能数はそれよりも1つ少ない“2”になる。したがって、“3”又はそれ以上の救済数を実現するには、接点数及び冗長部の数を要求救済数よりも1つ多くすればよい。

【0016】ちなみに、図6～図9は救済数を“3”にした場合の原理図である。各スイッチ要素 $SW_{i-1} \sim SW_{i+3}$ にはそれぞれ4つの接点 $F_1 \sim F_4$ が設けられており、右端の接点 F_4 を2つ右隣の回路要素に接続している（破線参照）。欠陥なしの場合には、図7に示すように、すべてのスイッチ要素 $SW_{i-1} \sim SW_{i+3}$ の接点 F_1 が閉じ、連続欠陥（例えば連続数3）の場合には、図8に示すように、欠陥の先頭の回路要素 C_{i+1} と添え字が一致するスイッチ要素 SW_{i+1} 及びその右側のすべてのスイッチ要素 SW_{i+2} 、 SW_{i+3} ……の接点 F_4 が閉じる。また、間欠欠陥（例えば C_{i+1} 、 C_{i+3} 及び C_{i+4} ）の場合には、図9に示すように、欠陥の先頭の回路要素 C_{i+1} と添え字が一致するスイッチ要素 SW_{i-1} の接点 F_2 が閉じるとともに、その右側のすべてのス

10

20

30

40

50

5

ツチ要素 SW_{i+2} 、 SW_{i+3} ……の接点 F_4 が閉じる。

【0017】

【実施例】以下、本発明の実施例を図面に基づいて説明する。図10～図15は本発明に係る冗長回路の一実施例を示す図であり、冒頭の第2の従来技術と同様に、大容量の半導体メモリに適用した例である。まず、構成を説明する。図10において、30はカラムデコーダ（図18の符号13参照）、31はカラムスイッチ（図18の符号14参照）である。

【0018】カラムデコーダ30は、同一構成のN個の部分からなっているが、図ではそのうちの4つの部分（ D_{i-1} 、 D_i 、 D_{i+1} 、 D_{i+2} ）を代表的に示してある。これらの各部分（ D_{i-1} 、 D_i 、 D_{i+1} 、 D_{i+2} ）は、カラムスイッチ31に信号（図ではデコード信号）を出力したり、カラムスイッチ31からの信号を図示を略したバスに読み出したりするもので、本願の要旨に記載の信号入出力部に相当するものである。以下、カラムデコーダ30の4つの部分（ D_{i-1} 、 D_i 、 D_{i+1} 、 D_{i+2} ）をそれぞれ信号入出力部と言う。

【0019】また、カラムスイッチ31は、上記N個よりもX個（但しXは2以上の数、ここでは便宜的にX=2とする）だけ多いN+X個の同一構成の部分からなっているが、カラムデコーダ30と同様に、図ではそのうちの4つの部分（ C_i 、 C_{i-1} 、 C_{i+2} 、 C_{i+3} ）を代表的に示してある。これらの各部分（ C_i 、 C_{i+1} 、 C_{i+2} 、 C_{i+3} ）は、カラムデコーダ30によって信号が入出力されるものであり、本願の要旨に記載の回路要素に相当するものである。以下、カラムスイッチ31の4つの部分（ C_i 、 C_{i+1} 、 C_{i+2} 、 C_{i+3} ）をそれぞれ回路要素と言う。

【0020】図示を略してあるが、カラムスイッチ31のX個分の回路要素は、N個の回路要素の何れかに欠陥が発生したときに、その欠陥回路と置換される冗長部

（図1の符号 C_{M-1} 、 C_M 参照）である。N+X個の回路要素（ C_i 、 C_{i+1} 、 C_{i+2} 、 C_{i+3} ）とN個の信号入出力部（ D_{i-1} 、 D_i 、 D_{i+1} 、 D_{i+2} ）の間には、スイッチ群33が設けられており、このスイッチ群33は、信号入出力部と同数のN個のスイッチ要素（代表して SW_{i-1} 、 SW_i 、 SW_{i+1} 、 SW_{i+2} ）で構成されている。

【0021】各スイッチ要素は、それぞれX+1個（こ

6

こでは、X=2であるから3個）のトランジスタスイッチからなり、要するに、3個の接点 F_1 、 F_2 、 F_3 を備えている。各スイッチ要素の接点 F_1 、 F_2 、 F_3 は、それぞれ制御手段 CNT_{i-1} 、 CNT_i 、 CNT_{i+1} 、 CNT_{i+2} によってオンオフがコントロールされるが、各スイッチ要素毎にオンする接点の数は、常に1つである。例えば、すべてのスイッチ要素の接点 F_1 がオンしていれば、……回路要素 C_{i-1} と信号入出力部 D_{i-1} の間、回路要素 C_i と信号入出力部 D_i の間、回路要素 C_{i+1} と信号入出力部 D_{i+1} の間、回路要素 C_{i+2} と信号入出力部 D_{i+2} の間……すなわち添え字の一致するもの同士の間が接続される。この接続状態は、何れの回路要素にも欠陥が発生していない通常の場合の状態である。

【0022】今、1つの回路要素（例えば C_{i+1} ）に欠陥が発生した場合には、スイッチ要素 SW_{i+1} 及びその右側のすべてのスイッチ要素 SW_{i+2} ……の接点 F_2 を閉じればよい。こうすると、回路要素 C_{i+2} と信号入出力部 D_{i+1} の間が接続され、且つ、回路要素 C_{i+3} と信号入出力部 D_{i+2} の間が接続されるとともに、これが右側のすべてのスイッチ要素で行われる。したがって、接続順を1つ右にシフトして欠陥の回路要素（この場合 C_{i+1} ）を救済できる。

【0023】以上の例は、欠陥数が“1”の場合であるが“2”の場合には、スイッチ要素の接点 F_3 を閉じればよい。また、“3”の場合には接点を1つ増やしその接点（図6の符号 F_4 参照）を閉じればよい。すなわち、要求救済数に応じて接点の数（勿論、冗長部の数も）を増減調節するだけでよいから、実用上有用な技術を提供でき、特に、大容量の半導体メモリに用いて好適な冗長技術を実現できる。

【0024】図11は、制御手段（代表して CNT_i ）の好ましい構成図である。この図において、34はデコーダであり、3ビットの入力 I_0 、 I_1 、 I_2 の組み合わせに応じて、8つの出力 $O_0 \sim O_7$ の1つをアクティブ（ハイレベル）にするものである。入力 I_0 、 I_1 、 I_2 には、それぞれヒューズ回路35からの信号 S_i 、前段の制御手段 CNT_{i-1} からの信号 A_{i-1} 及び B_{i-1} が入力しており、デコーダ34の入出力の真理値は、次表1のとおりに示される。

【0025】

表1

入 力			出 力							
I_2	I_1	I_0	O_7	O_6	O_5	O_4	O_3	O_2	O_1	O_0
L	L	L	L	L	L	L	L	L	L	H
L	L	H	L	L	L	L	L	L	H	L
L	H	L	L	L	L	L	L	H	L	L
L	H	H	L	L	L	L	H	L	L	L
H	L	L	L	L	L	H	L	L	L	L
H	L	H	L	L	H	L	L	L	L	L
H	H	L	L	H	L	L	L	L	L	L
H	H	H	H	L	L	L	L	L	L	L

但し、L：ローレベル

H：ハイレベル

デコーダ34の出力 O_1 と O_2 及び $O_3 \sim O_7$ は、それぞれ2入力オアゲート36と5入力オアゲート37でオア論理がとられており、2入力オアゲート36の出力（信号 A_i ）は、 O_1 と O_2 のどちらか一方がアクティブになるとハイレベルになる。また、5入力オアゲート37の出力（信号 B_i ）は、 $O_3 \sim O_7$ の一つでもアクティブになるとハイレベルになる。

【0026】デコーダ34の出力 O_0 は、スイッチ要素 SW_i の左側の接点 F_1 に与えられており、2入力オアゲート36の出力（信号 A_i ）は、同スイッチ要素 SW_i の真ん中の接点 F_2 に与えられており、更に、5入力オアゲート37の出力（信号 B_i ）は、同スイッチ要素 SW_i の左側の接点 F_3 に与えられている。したがって、この構成によれば、ヒューズ回路35からの信号 S_i がローレベル（ヒューズ未切断）で、且つ、前段の制御手段 CNT_{i-1} からの信号 A_{i-1} 、 B_{i-1} も共にローレベルのとき、言い換えれば、欠陥が生じていないときには、デコーダ34の出力 O_0 がハイアクティブとなるから、スイッチ要素 SW_i の左側の接点 F_1 をオンさせることができる（ C_i と D_i の接続）。

【0027】また、出力 O_1 、 O_2 のどちらかがアクティブとなるときは、前表1より、ヒューズ回路35のヒューズが切断されたとき（信号 $S_i = H$ ）、又は、前段の制御手段 CNT_{i-1} からの信号 A_{i-1} がハイレベルとなったとき、言い換えれば、欠陥数が“1”のときであり、このときには、2入力オアゲート36の出力（信号 A_i ）がハイレベルとなるから、スイッチ要素 SW_i の真ん中の接点 F_2 をオンさせることができる（ C_{i+1} と D_i の接続）。

【0028】また、出力 $O_3 \sim O_7$ の何れか一つがアクティブとなるときは、前表1より、ヒューズ回路35のヒューズが切断されたとき（信号 $S_i = H$ ）で、且つ、前段の制御手段 CNT_{i-1} からの信号 A_{i-1} がハイレベ

ルとなったとき、又は、前段の制御手段 CNT_{i-1} からの信号 B_{i-1} がハイレベルとなったときのどちらかであり、言い換えれば、欠陥数が“2”のときであり、このときには、5入力オアゲート37の出力（信号 B_i ）がハイレベルとなるから、スイッチ要素 SW_i の右側の接点 F_3 をオンさせることができる（ C_{i+2} と D_i の接続）。

【0029】制御手段の構成は、以上の例に限定されるものではない。例えば、図12に示すように構成してもよい。図12において、制御手段 CNT_i は、2つのヒューズ回路40、41と、2個のナンドゲート42、43と、3個のインバータゲート44～46と、1個のノアゲート47とによって構成されている。なお、2つのヒューズ回路40、41は、それぞれ+電源 V_{CC} と接地電位の間に抵抗48とヒューズ49を直列に接続するとともに、その接続点の電位をインバータゲート50で反転して信号 SRA_i （ヒューズ回路41にあつては信号 SRB_i ）を取出し、且つ、抵抗48の両端につないだトランジスタ51のオンオフをインバータゲート50の出力でコントロールしている。

【0030】インバータゲート44の入出力はスイッチ要素 SW_i の左端の接点 F_1 （図ではトランスミッションゲート）のコントロール信号に使われており、また、インバータゲート46の入出力はスイッチ要素 SW_i の真ん中の接点 F_2 （図ではトランスミッションゲート）のコントロール信号に使われており、更に、インバータゲート45の入出力はスイッチ要素 SW_i の右端の接点 F_3 （図ではトランスミッションゲート）のコントロール信号に使われている。

【0031】インバータゲート44の入力（ナンドゲート42の出力）がローレベルのときに左側の接点 F_1 が閉じ、また、インバータゲート46の入力（ノアゲート47の出力）がハイレベルのときに真ん中の接点 F_2 が

20

30

40

50

閉じ、更に、インバータゲート45の入力（ナンドゲート43の出力）がハイレベルのときに右側の接点F₃が閉じる。

【0032】したがって、この例によれば、インバータゲート44の入力（ナンドゲート42の出力）がローレベルになるときは、ヒューズ回路40のヒューズ49が未切断のとき（信号SRA_i=H）で、且つ、前段の制御手段CNT_{i-1}からの信号A_{i-1}がハイレベルのとき

（図11とは逆の論理であることに注意）、言い換えれば、欠陥数が“0”のときであり、このときには、左側の接点F₁が閉じるから、図11と同様の作用が得られる。

【0033】また、インバータゲート46の入力（ノアゲート47の出力）がハイレベルになるときは、ヒューズ回路40のヒューズ49が切断されたとき（信号SRA_i=L）、又は、前段の制御手段CNT_{i-1}からの信号A_{i-1}がローレベルのとき（図11とは逆の論理であることに注意）で、且つ、ヒューズ回路41のヒューズ49が未切断（信号SRB_i=H）で、且つ、前段の制御手段CNT_{i-1}からの信号B_{i-1}がハイレベルのとき

（図11とは逆の論理であることに注意）、言い換えれば、欠陥数が“1”のときであり、このときには、真ん中の接点F₂が閉じるから、図11と同様の作用が得られる。

【0034】更に、インバータゲート45の入力（ナンドゲート43の出力）がハイレベルになるときは、ヒューズ回路41のヒューズ49が切断されたとき（信号SRB_i=L）、又は、前段の制御手段CNT_{i-1}からの信号B_{i-1}がローレベルのとき（図11とは逆の論理であることに注意）、言い換えれば、欠陥数が“2”のときであり、このときには、右側の接点F₃が閉じるから、図11と同様の作用が得られる。

【0035】あるいは、制御手段を図13のように構成してもよい。図13において、制御手段CNT_iは、所定のコントロール信号CK_Aの周期で前段の制御手段CNT_{i-1}からの信号A_{i-1}を取り込むトランジスタ60と、所定のコントロール信号CK_Bの周期で前段の制御手段CNT_{i-1}からの信号B_{i-1}を取り込むトランジスタ61と、取り込まれた信号A_{i-1}をラッチするレジスタ62と、取り込まれた信号B_{i-1}をラッチするレジスタ63と、コントロール信号CK_Aを次段の制御手段CNT_{i+1}に反転して出力するインバータゲート64と、コントロール信号CK_Bを次段の制御手段CNT_{i+1}に反転して出力するインバータゲート65とを備える。なお、インバータゲート44、45、46及びノアゲート47は、図12の同一の符号のもと同じ役目なので、ここでの説明は割愛する。

【0036】このような構成によれば、接点コントロールのためのデータを外部から各レジスタ62、63に書き込むことができ、ヒューズによるプログラムが不要に

なるから、冗長作業の効率化を図ることができる。なお、図14は、本発明を適用して好ましい大容量半導体メモリのチップフロアプランである。このフロアプランは、カラム・プリデコーダ回路とセンス・ライト回路とを含むブロック70と、ロウ・プリデコーダ回路を含むブロック71とをチップの中央に十字状にレイアウトし、更に、その十字を取り囲む4つの領域のそれぞれにメモリ部72～75をレイアウトしたものである。各メモリ部72～75は、同一の構成を有しており、例えば、左上のメモリ部72で説明すると、1つのグローバル・ワードデコーダ76と、複数のローカルメモリセルアレイ77～79と、各メモリセルアレイ毎のローカルカラムデコーダ80～82及びローカルワードデコーダ83～85とを備えている。

【0037】図15はメモリ部72の部分拡大図である。ローカルメモリセルアレイ77～79は、それぞれいくつかのセルマトリクス86～91からなり、各セルマトリクスには、1つのセルマトリクス91で代表して示すように、多数のローカルワード線92が敷設されている。これらのローカルワード線92は、ローカルワードデコーダ83～85の各ブロックとスイッチ回路（ハッチング部分参照）とを介してグローバルワード線93に接続される。

【0038】このスイッチ回路は、上記実施例のスイッチ要素SW_iと制御手段CNT_iを含むものであり、例えば、スイッチ要素SW_iにマルチプレクサ（MUX）を用いた場合の例を示す図16の破線部分に相当するものである。なお、図16において、94～96はスイッチ要素、97～99は制御手段、100～102は欠陥情報をプログラムするROMである。

【0039】

【発明の効果】本発明によれば、同一構成のN個の信号入出力部と、該N個の信号入出力部よりもX個だけ多いM個の同一構成の回路要素との間に、各々がX+1個の接点を有するN個のスイッチ要素を設け、各スイッチ要素のX+1個の接点を介して、隣り合うX+1個の回路要素と一つの信号入出力部との間を選択的に接続するように構成したので、Xに相当する数の回路要素を救済することができ、実用上十分な効果を有する冗長回路を提供できる。

【図面の簡単な説明】

【図1】本発明の原理図である。

【図2】本発明の欠陥なしの場合の状態図である。

【図3】本発明の単一欠陥の場合の状態図である。

【図4】本発明の連続欠陥の場合の状態図である。

【図5】本発明の間欠欠陥の場合の状態図である。

【図6】本発明の欠陥数3に対応した原理図である。

【図7】欠陥数3に対応した発明の欠陥なしの場合の状態図である。

【図8】欠陥数3に対応した発明の連続欠陥の場合の状

態図である。

【図 9】 欠陥数 3 に対応した発明の間欠欠陥の場合の状態図である。

【図 10】 一実施例の構成図である。

【図 11】 一実施例の制御手段の構成図である。

【図 12】 一実施例の他の制御手段の構成図である。

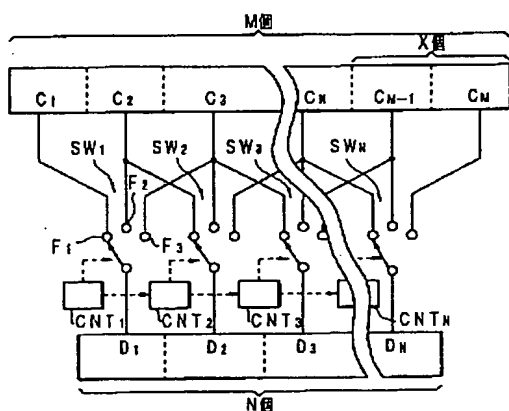
【図 13】 一実施例のさらに他の制御手段の構成図である。

【図 14】 一実施例のチップフロアプランである。

【図 15】 図 14 の部分拡大図である。

【図 1】

本発明の原理図

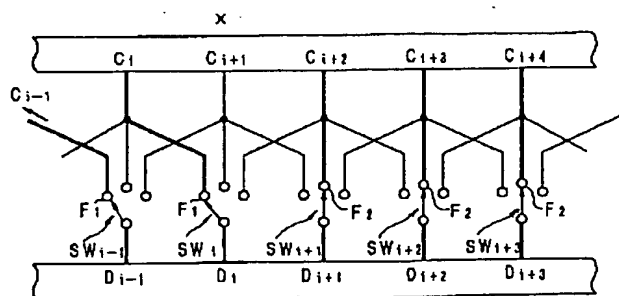


但し、 $X=2$ の例

$C_1 \sim C_M$: 回路要素
 $CNT_1 \sim CNT_N$: 制御手段
 $D_1 \sim D_N$: 信号入出力部
 F_1, \dots, F_X, F_{X+1} : 接点
 $SW_1 \sim SW_N$: スイッチ要素

【図 3】

本発明の単一欠陥の場合の状態図



【図 16】 図 15 のスイッチ回路のブロック図である。

【図 17】 第 1 の従来例の概略ブロック図である。

【図 18】 第 2 の従来例の概略ブロック図である。

【図 19】 第 2 の従来例の構成図である。

【符号の説明】

$C_1 \sim C_M$: 回路要素

$CNT_1 \sim CNT_N$: 制御手段

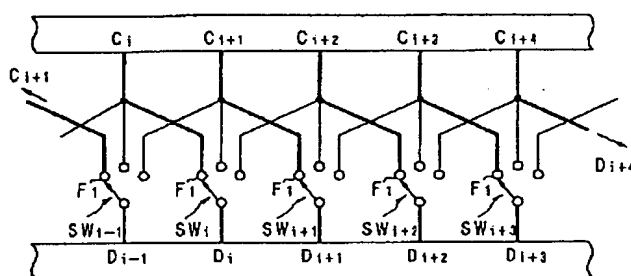
$D_1 \sim D_N$: 信号入出力部

F_1, \dots, F_X, F_{X+1} : 接点

10 $SW_1 \sim SW_N$: スイッチ要素

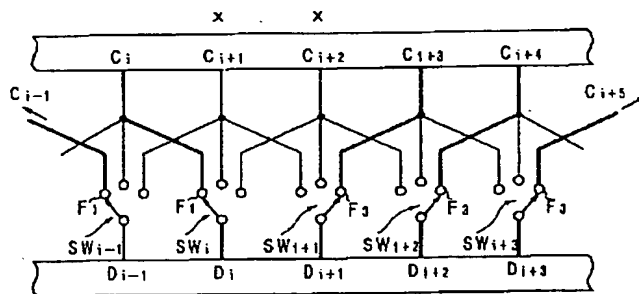
【図 2】

本発明の欠陥なしの場合の状態図



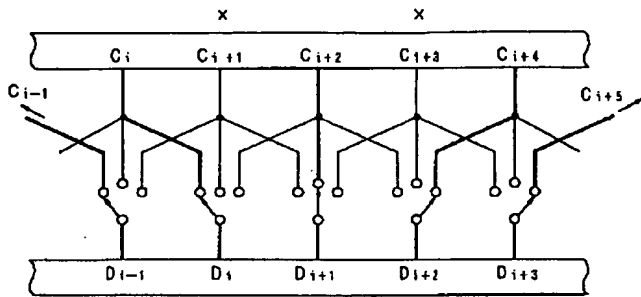
【図 4】

本発明の連続欠陥の場合の状態図



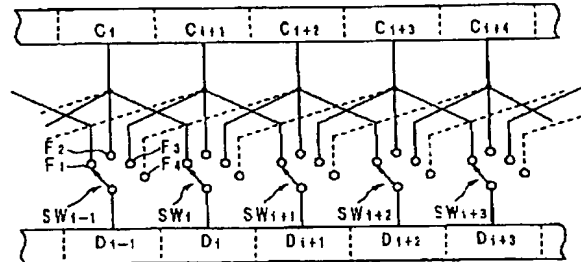
【図 5】

本発明の間欠欠陥の場合の状態図



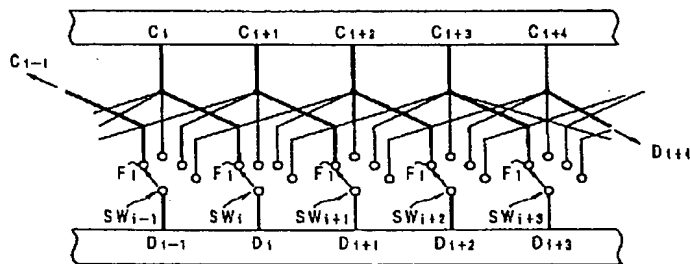
【図 6】

本発明の欠陥数 3 に対応した原理図



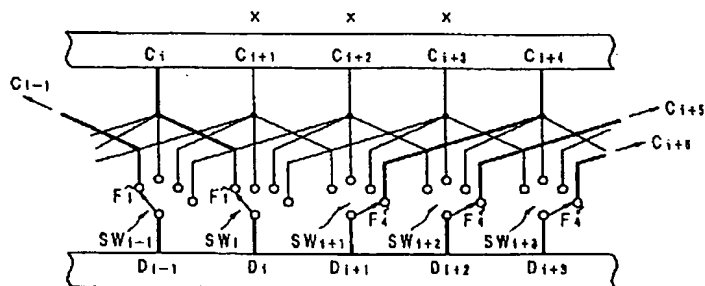
【図 7】

欠陥数 3 に対応した発明の欠陥なしの場合の状態図



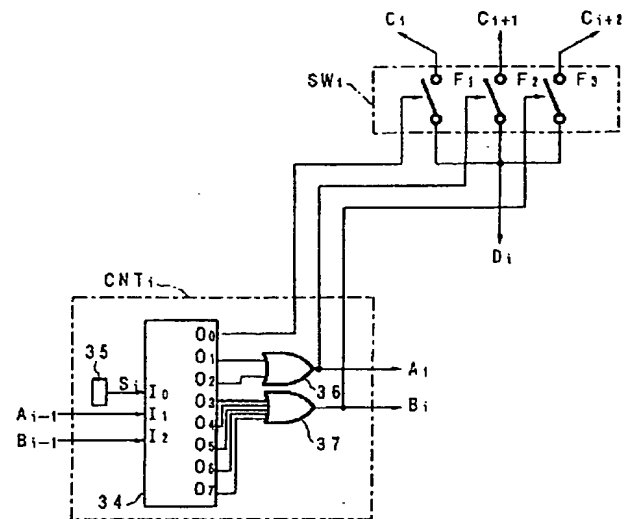
【図 8】

欠陥数 3 に対応した発明の連続欠陥の場合の状態図



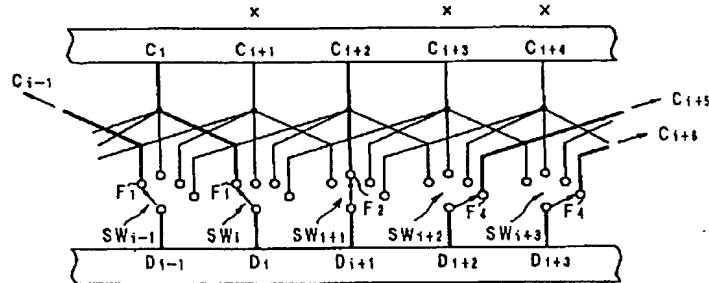
【図 11】

一実施例の制御手段の構成図



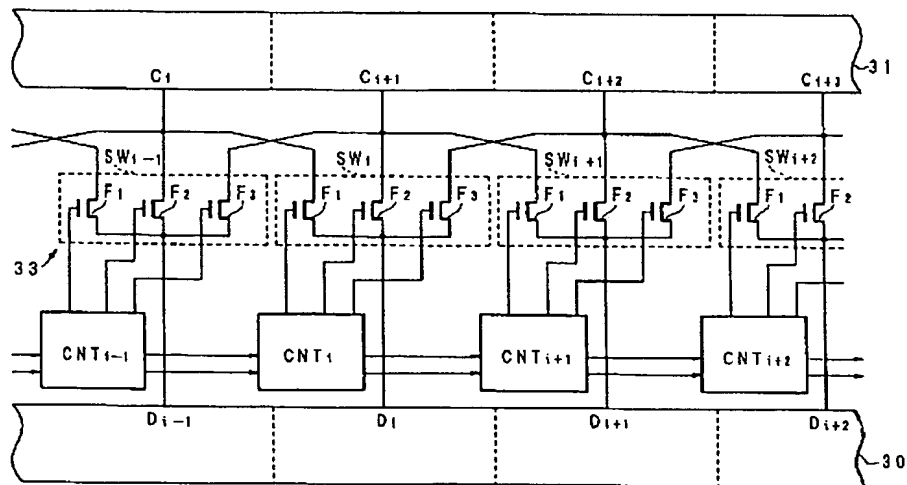
【図 9】

欠陥数 3 に対応した発明の間欠欠陥の場合の状態図



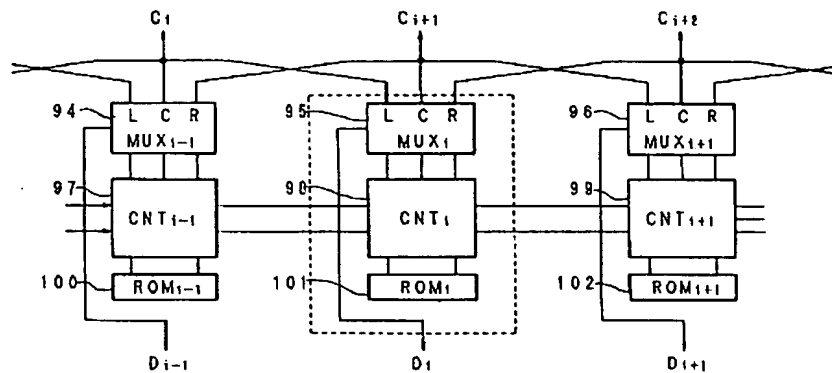
【図 10】

一実施例の構成図



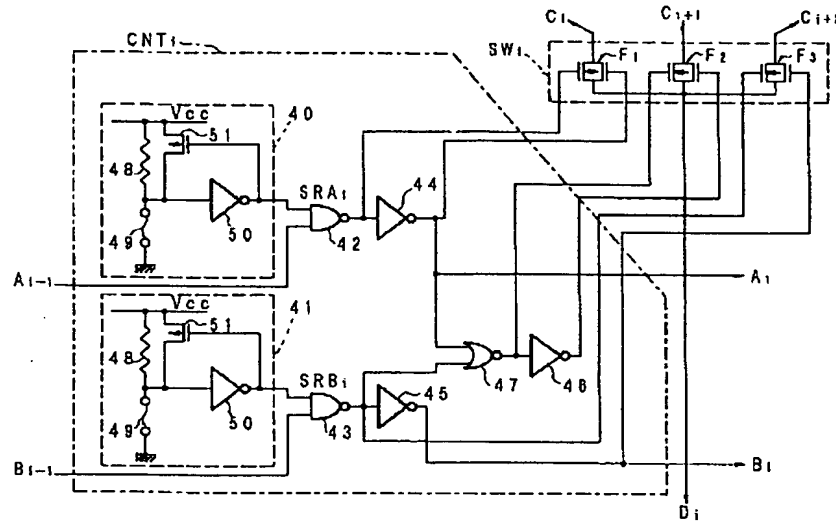
【図 16】

図 15 のスイッチ回路のブロック図



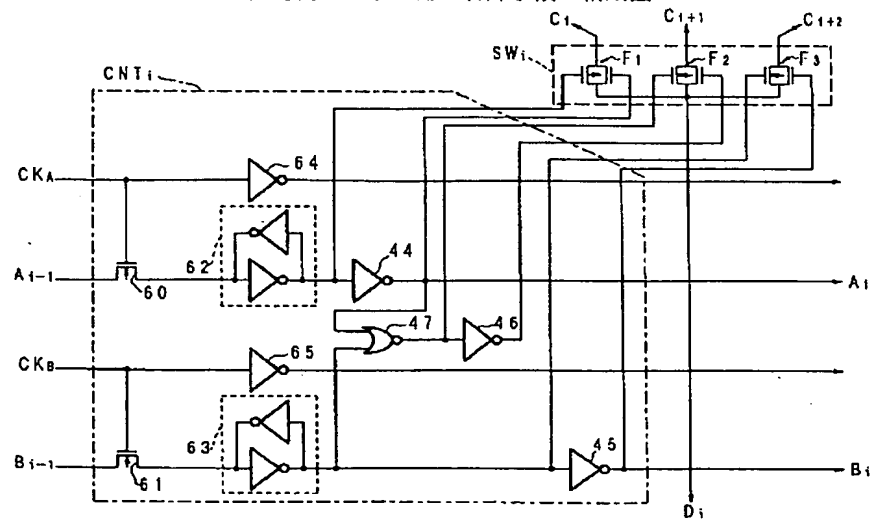
【図 12】

一実施例の他の制御手段の構成図



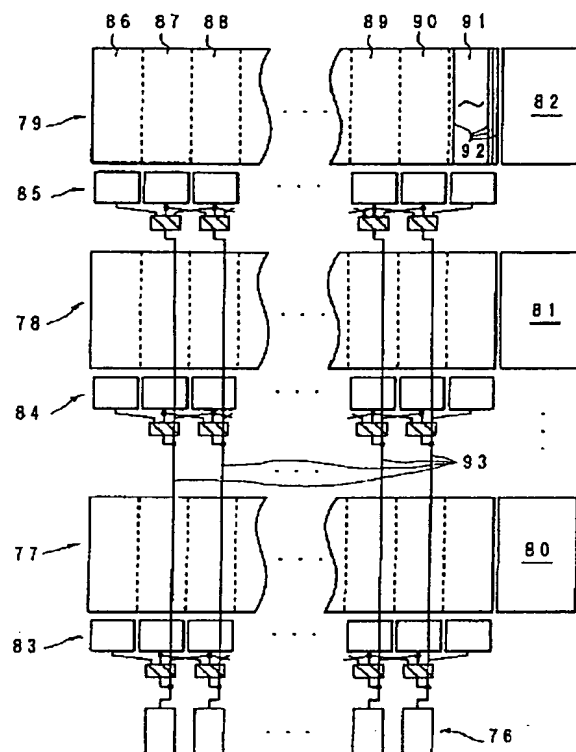
【図 13】

一実施例のさらに他の制御手段の構成図



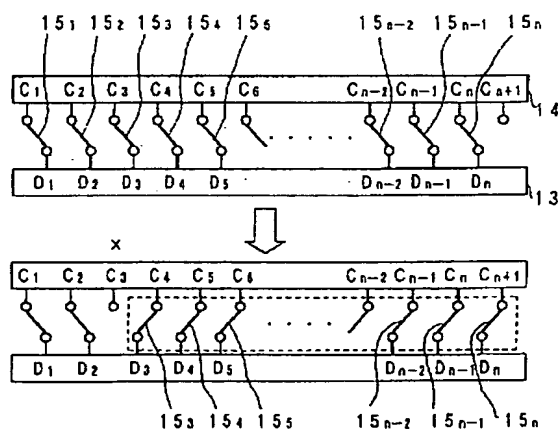
【図 15】

図 14 の部分拡大図



【图 18】

第2の従来例の概略ブロック図



第2の従来例の構成図

